

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年9月12日 (12.09.2003)

PCT

(10) 国際公開番号
WO 03/075341 A1

(51) 国際特許分類: H01L 21/60, 33/00, H01S 5/022

(21) 国際出願番号: PCT/JP03/02451

(22) 国際出願日: 2003年3月3日 (03.03.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-60764 2002年3月6日 (06.03.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒541-0041 大阪府 大阪市中央区 北浜四丁目5番33号 Osaka (JP).

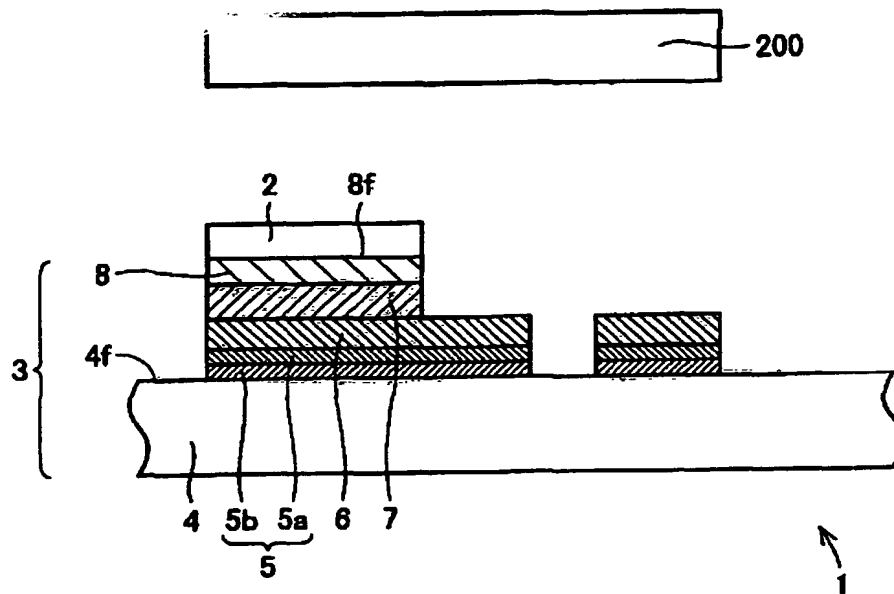
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 天羽 映夫 (AMOH, Teruo) [JP/JP]; 〒664-0016 兵庫県 伊丹市 昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 石井 隆 (ISHII, Takashi) [JP/JP]; 〒664-0016 兵庫県 伊丹市 昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 桧垣 賢次郎 (HIGAKI, Kenjiro) [JP/JP]; 〒664-0016 兵庫県 伊丹市 昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 筑木 保志 (TSUZUKI, Yasushi)

[続葉有]

(54) Title: SUBMOUNT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: サブマウントおよび半導体装置



(57) Abstract: A submount to which a semiconductor light emitting element can be fixed surely. The submount (3) comprises a substrate (4), and a solder layer (8) formed on the major surface (4f) of the substrate (4). The solder layer (8) has a surface roughness Ra not larger than $0.18 \mu\text{m}$ before melting. Surface roughness Ra of the solder layer (8) is preferably not larger than $0.15 \mu\text{m}$, and more preferably, not larger than $0.10 \mu\text{m}$. A semiconductor device (1) comprises a laser diode (2) mounted on the solder layer (8) of the submount (3).

(57) 要約: 確実に半導体発光素子を取りつけることができるサブマウントを提供する。サブマウント3は、基板4と、基板4の主表面4f上に形成されたはんだ層8とを備える。溶融前の

[続葉有]



[JP/JP]; 〒664-0016 兵庫県 伊丹市昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP).

(74) 代理人: 中野 稔, 外 (NAKANO, Minoru et al.); 〒554-0024 大阪府 大阪市此花区 島屋一丁目1番3号 住友電気工業株式会社内 Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

はんだ層8の表面粗さRaは0.18μm以下である。好ましくは、はんだ層8の表面粗さRaが0.15μm以下である。さらに好ましくは、はんだ層8の表面粗さRaが0.10μm以下である。半導体装置1は、サブマウント3のはんだ層8上に搭載されたレーザダイオード2を備える。

明細書

サブマウントおよび半導体装置

技術分野

- 5 この発明は、サブマウントおよびそれを用いた半導体装置に関し、より特定の
には、半導体発光素子を搭載するサブマウントおよびこのサブマウントを用いた
半導体装置に関する。なお、本発明の「半導体発光素子」とは、例えば、レーザ
ーダイオードや発光ダイオードのようなものを指す。

10 背景技術

- 従来、半導体発光素子を備える半導体装置が知られている。このような半導体
装置の一種は、図5に示すようにサブマウント103に半導体発光素子を搭載す
ることにより製造される。図5および図6は、従来の半導体装置の製造方法を説
明するための断面模式図である。図5を参照して、従来の半導体装置の製造方法
15 を説明する。

- 図5に示すように、従来の半導体装置の製造方法では、まず半導体発光素子を
搭載するためのサブマウント103を準備する。サブマウント103は、セラミ
ックの基板104と、基板104上に形成されたチタン（Ti）を含む膜および
白金（Pt）を含む膜の積層膜105（Ti/Pt積層膜105）と、このTi
20 /Pt積層膜105上に形成された電極層としての金（Au）膜106と、この
Au膜106上に形成された白金（Pt）を含むはんだバリア層107と、はん
だバリア層107上に形成された金（Au）錫（Sn）系はんだを含むはんだ1
08とからなる。サブマウント103において、Ti/Pt積層膜105、Au
膜106、はんだバリア層107およびはんだ108を形成する方法は、従来の
25 蒸着法、スパッタリング法あるいはめっき法などの成膜方法およびフォトリソグ
ラフィ法あるいはメタルマスク法などのパターンニング方法を用いることができ
る。

図5に示したようなサブマウント103を準備した後、サブマウント103の
はんだ108を加熱・熔融する。検出手段200が、はんだ108が熔融したか

どうかを画像認識する。具体的には、はんだ108が溶融する前は、はんだからの反射光が多いので、画像認識の2値化手法により、はんだ108の色を「白」と認識する。はんだ108が溶融すると、はんだ108からの反射光が少なくなるので、同様に、はんだ108の色を「黒」と認識する。

- 5 図6で示すように、検出手段200がはんだ108の色を「黒」と認識した後、半導体発光素子としてのレーザーダイオード102をはんだ108上の所定の位置に搭載する（ダイボンド工程を実施する）。この後、はんだ108を冷却して凝固させる。この結果、はんだ108によってレーザーダイオード102がサブマウント103上に接着固定される。この後、図示しないヒートシンクにサブマウント103の裏面側をはんだなどで接続・固定することにより、半導体発光素子を備える半導体装置を得ることができる。

- 図5および図6に示したような工程により製造される従来の半導体装置では、以下のような問題があった。すなわち、検出手段200ではんだ108の色を認識する場合に、はんだ108の表面粗さが大きいと、はんだ108の表面で光が乱反射して、検出手段200に十分な量の光が入射しない。そのため、検出手段200が溶融前のはんだ108の色を黒と認識してしまう。その結果、ダイボンド装置にエラーが発生し停止してしまうか、溶融前のはんだ108にレーザーダイオード102が押し付けられ、レーザーダイオード102がサブマウント103に取り付けられないという問題があった。

20

発明の開示

- この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、高い歩留りで半導体発光素子を正常に取り付けることができる溶融前のはんだ層を具備したサブマウントおよびそのサブマウントを用いた半導体装置を提供することである。

- 25 この発明に従ったサブマウントは、サブマウント基板と、サブマウント基板の主表面上に形成されたはんだ層とを備える。このはんだ層の溶融前の表面粗さ R_a は $0.18\mu\text{m}$ 以下である。

このように構成されたサブマウントでは、溶融前のはんだ層の表面粗さ R_a が

0.18 μm 以下と小さいため、はんだ層の表面での光の乱反射が少ない。このため、検出手段ではんだ層表面の色を画像認識する際に、層表面の状態変化に対し、より忠実に反応することができる。その結果、半導体発光素子が正常にはんだづけされる確率を高めることができる。好ましくは、はんだ層の表面粗さ R_a が0.15 μm 以下であり、さらに好ましくは、 R_a が0.10 μm 以下である。なお、はんだ層の表面粗さ R_a は、JIS B 0601で規定される方法で測定される。

好ましくは、溶融前のはんだ層に含まれるはんだの平均粒径が3.5 μm 以下であり、さらに好ましくは、2 μm 以下である。この場合、はんだの平均粒径が小さくなるため、はんだ層の表面で、光の乱反射をさらに防止することができる。

好ましくは、サブマウント基板の主表面の表面粗さ R_a は0.10 μm 以下、さらに好ましくは0.05 μm 以下である。基板の表面粗さ R_a が小さい程、基板の凹凸がはんだ層に転写されて、はんだ層の表面粗さ R_a が大きくなることを抑制することができる。その結果、はんだ層の表面での光の乱反射をより一層少なくすることができる。

また、サブマウント基板とはんだ層との間に形成されたはんだバリア層をさらに備えていてもよい。

また、サブマウント基板とはんだバリア層との間に形成された電極層をさらに備えていてもよい。この場合、電極層を、はんだ層の下地膜として利用することもできる。

また、サブマウント基板とはんだバリア層との間において、サブマウント基板の表面に接触するように形成された密着層と、密着層上に形成された拡散防止層とを備えていてもよい。この場合、電極層は拡散防止層上に配置されている。

また、密着層はチタンを含み、拡散防止層は白金を含み、電極層は金を含み、はんだバリア層は白金を含み、はんだ層は金錫系はんだを含む構成としてもよい。

好ましくは、サブマウント基板は窒化アルミニウム焼結体を含む。この場合、窒化アルミニウムは熱伝導率が高いため、放熱特性の優れたサブマウントを得る

ことができる。

この発明に従った半導体装置は、上述のいずれかのサブマウントと、はんだ層上に搭載された半導体発光素子を備える。このような半導体装置では、正常なはんだ層の状態タイミングよくサブマウント上に半導体発光素子を搭載することができる。

図面の簡単な説明

図 1 は、本発明による半導体装置の実施の形態 1 を示す断面模式図である。

図 2 は、図 1 に示した半導体装置の製造方法を説明するための断面模式図である。

図 3 は、試料 1 に従ったサンプルの階調特性を示すグラフである。

図 4 は、試料 2 1 に従ったサンプルの階調特性を示すグラフである。

図 5 は、従来の半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

図 6 は、従来の半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

発明を実施するための最良の形態

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

図 1 は、本発明による半導体装置の実施の形態 1 を示す断面模式図である。

図 1 に示すように、半導体装置 1 は、サブマウント 3 に半導体発光素子としてのレーザーダイオード 2 が搭載された構造を有している。サブマウント 3 は、例えば、窒化アルミニウム (AlN) を含む焼結体からなるサブマウント用の基板 4 と、密着層としてのチタン (Ti) 膜 5 b および拡散防止層としての白金 (Pt) 膜 5 a の積層膜 5 (Ti/Pt 積層膜 5) と、この Ti/Pt 積層膜 5 上に形成された電極層としての金 (Au) 膜 6 と、この Au 膜 6 上に形成され、白金 (Pt) を含むはんだバリア層 7 と、はんだバリア層 7 上に形成された金 (Au) 錫 (Sn) 系はんだを含むはんだ層 8 とからなる。

図1に示すように、レーザーダイオード2と、サブマウント3とは、はんだ層8によって接続されている。レーザーダイオード2の幅と、はんだ層8の幅と、はんだバリア層7の幅は、ほぼ等しい。はんだ層8の幅および長さは、レーザーダイオード2の幅および長さより大きくても小さくてもかまわない。また、はんだバリア層7の幅および長さは、はんだ層8の幅および長さよりも大きくても小さくてもかまわない。

図1および2に示した半導体装置においては、サブマウント3を構成する基板4の材料として、セラミック、半導体、あるいは金属を用いてもよい。基板4を構成する材料としてのセラミックとしては、たとえば上述した窒化アルミニウム(A1N)、酸化アルミニウム(Al_2O_3)、炭化ケイ素(SiC)、窒化ケイ素(Si_3N_4)などを主成分としたものを挙げることができる。また基板4を構成する材料としての半導体としては、たとえばシリコン(Si)を挙げることができる。また基板4を構成する材料としての金属としては、たとえば銅(Cu)、タングステン(W)、モリブデン(Mo)、鉄(Fe)およびこれらを含む合金ならびに複合材料を用いることができる。

基板4としては、熱伝導率の高い材料を用いることが好ましい。基板4の熱伝導率としては、好ましくは 100 W/mK 以上であり、より好ましくは 170 W/mK 以上である。また、基板4の熱膨張係数は、レーザーダイオード2を構成する材料の熱膨張係数に近似していることが好ましい。たとえば、レーザーダイオード2を構成する材料としてガリウム砒素(GaAs)あるいはインジウムリン(InP)などを用いる場合、基板4の熱膨張係数は、好ましくは $10 \times 10^{-6}/\text{K}$ 以下であり、より好ましくは $5 \times 10^{-6}/\text{K}$ 以下である。

基板4としてセラミックを用いた場合、基板4の上面とその上面に対向する下面との間を接続するようなスルーホールあるいはその内部に導体(ビアフィル)が充填されたビアホールが形成されていてもよい。ビアホールに充填される導体(ビアフィル)の主成分としては、望ましくは高融点金属、特にタングステン(W)やモリブデン(Mo)を用いることができる。なお、上述の導体としては、タングステンやモリブデンなどの金属導体にさらにチタン(Ti)などの遷移金属、あるいはガラス成分や基板4を形成する基材の材料(たとえば窒化アル

ミニウム (A1N)) が含まれていてもよい。

また、基板4の平面度は5 μ m以下であることが好ましく、より好ましくは1 μ m以下である。平面度が5 μ mを超える場合、レーザーダイオード2の接合時にサブマウント3とレーザーダイオード2との間に隙間が発生し、レーザーダイ
5 オード2を冷却する効果が低下することがある。なお、平面度とは平面形体の幾何学的に正しい平面からの狂いの大きさを言い、JIS規格 (JISB0621) に規定されている。

また、Ti/Pt積層膜5を構成するTi膜 (チタン (Ti) を含む膜) は、基板4の上部表面に接触するように形成された、基板4との密着性が良好な材料
10 からなるいわゆる密着層である。この密着層を構成する材料としては、たとえば、上述したチタン (Ti) 、さらにクロム (Cr) 、ニッケルクロム合金 (NiCr) 、タンタル (Ta) 、およびこれらの化合物を用いることができる。

また、Ti/Pt積層膜5を構成する白金 (Pt) 膜は、Ti膜の上部表面上に形成されたいわゆる拡散防止層である。拡散防止層の材料としては、たと
15 えば、上述した白金 (Pt) 、さらにパラジウム (Pd) 、ニッケルクロム合金 (NiCr) 、タングステンチタニウム (TiW) 、ニッケル (Ni) 、モリブデン (Mo) などを用いることができる。また、Au膜6はいわゆる電極層であって、通常はAuを主成分とした膜が用いられる。

はんだバリア層7の材料としては、たとえば、白金 (Pt) 、ニッケルクロム合金 (NiCr) 、ニッケル (Ni) などを用いることができる。また、はんだ
20 層8の材料としては、たとえば、金錫 (AuSn) 系はんだ、金ゲルマニウム (AuGe) 系はんだ、鉛錫 (PbSn) 系はんだ、インジウム錫 (InSn) 系はんだ、銀錫 (AgSn) 系はんだなどの合金はんだ、あるいはこれらの合金はんだもしくは上述の合金はんだを構成する金属の積層体を用いることができる。なお、はんだ層8として金錫 (AuSn) 系はんだを用いる場合、その組成
25 比としては金 (Au) が65質量%以上85質量%以下あるいは金 (Au) が5質量%以上20質量%以下であることが好ましい。

なお、上述のTi/Pt積層膜5、Au膜6、はんだバリア層7およびはんだ層8を、以下メタライズ層ともいう。そして、これらのメタライズ層の形成方法

としては、従来用いられる成膜方法を適宜用いることができる。具体的には、上述のメタライズ層の形成方法として、蒸着法、スパッタリング法などの薄膜形成方法、あるいはめっき法などを用いることができる。また、上述のTi/Pt積層膜5、Au膜6、はんだバリア層7およびはんだ層8を、所定のパターンを有するように形成するパターニング方法としては、フォトリソグラフィを用いたリフトオフ法、化学エッチング法、ドライエッチング法や、メタルマスク法などを用いることができる。

上述のTi/Pt積層膜5を構成する密着層としてのチタン(Ti)膜5bの厚さは、好ましくは0.01 μ m以上1.0 μ m以下である。Ti/Pt積層膜5を構成する拡散防止層としての白金(Pt)膜5aの厚さは好ましくは0.01 μ m以上1.5 μ m以下である。電極層としてのAu膜6の厚さは好ましくは0.1 μ m以上10 μ m以下である。はんだバリア層7の厚さは好ましくは0.01 μ m以上1.5 μ m以下である。はんだ層8の厚さは好ましくは0.1 μ m以上10 μ m以下である。

本発明の半導体発光素子とは、例えばレーザーダイオードや発光ダイオードのようなものを指す。その半導体材料としては、たとえば、GaAs半導体あるいはInP半導体、すなわち、III-V族化合物半導体であってもよく、また、上面発光型もしくは下面発光型のいずれでもよい。なお、図1のレーザーダイオード2として、下面発光型(レーザーダイオード2とはんだ層8との接合部に対向するレーザーダイオード2の側面側においてレーザーダイオード2の発光部が形成されている方式)を用いた場合、発熱部である発光部が基板4により近い位置に配置されることから、半導体装置1の放熱性をより向上させることができる。

レーザーダイオード2の表面にはシリコン酸化膜(SiO₂)などの絶縁層および金(Au)などの電極層といったメタライズ層が形成される。電極層としての金(Au)層の厚さは、はんだ層8との良好な濡れ性を確保するために、0.1 μ m以上10 μ m以下であることが好ましい。

なお、図1に示した半導体装置1は、ヒートシンクにはんだなどを用いて接続されていてもよい。具体的には、基板4においてTi/Pt積層膜5が形成され

た表面とは反対側に位置する裏面上に密着層、拡散防止層などを形成した後、基板4の裏面側にシート状のはんだを介してヒートシンクを配置する。ヒートシンクと基板4とは、基板4の裏面側に配置された上記はんだにより接続・固定される。なお、ヒートシンクと基板4とを接合するためのはんだについては、上記の

5 ようなシート状のはんだ（はんだ箔）を用いてもよいし、あらかじめヒートシンクの表面上にはんだを配置しておいてもよい。また、あらかじめ基板4の裏面のメタライズ層上にはんだ層を形成してもよい。その場合は、レーザーダイオード2とヒートシンクを同時に基板4に接合することが好ましい。

ヒートシンクの材料としては、たとえば金属あるいはセラミックなどを用いることができる。ヒートシンクを構成する金属としては、たとえば銅（Cu）、タングステン（W）、モリブデン（Mo）、鉄（Fe）、これらの金属を含む合金および複合材料を用いることができる。なお、ヒートシンクの表面にはニッケル（Ni）、金（Au）およびこれらの金属を含む膜を形成するのが好ましい。これらの膜は、蒸着法やめっき法で形成することができる。ヒートシンクの熱伝導率

10 率は高いことが好ましい。ヒートシンクの熱伝導率としては、好ましくは100 W/mK以上である。

次に、図1に示した半導体装置の製造方法を、窒化アルミニウム焼結体を基板とした場合を想定して説明する。図2は、図1に示した半導体装置の製造方法を説明するための断面模式図である。

20 まず第1工程として基板を製造する。基板のサイズとしては、たとえば幅を50mm、長さを50mm、厚さを0.4mmとすることができる。このように、サブマウント3の基板4よりサイズの大きな基板を準備して、その基板の表面に必要な構造を形成し、当該基板を後述する切断工程で切断、分割することにより、サブマウント3を得ることができる。サブマウント3の基板4となるべき基

25 板は、通常の基板製造方法に基づいて作製される。基板4の材料としては窒化アルミニウム（AlN）焼結体を用いる。窒化アルミニウム焼結体のようなセラミックからなる基板4の製造方法としては、通常のセラミック構造体の製造方法を適用することができる。

次に、第2工程として、第1工程である基板製造工程において製造した窒化ア

ルミニウム焼結体からなる基板の表面を研磨する。ここで、基板 4 となるべき窒化アルミニウム基板の表面粗さが R_a で $0.10\text{ }\mu\text{m}$ 以下、より好ましくは $0.05\text{ }\mu\text{m}$ 以下となるまで研磨を行なうのが望ましい。研磨方法としては、たとえば、研磨方法として、研削盤による研磨、サンドブラスト、サンドペーパーや砥粒による研磨などの通常の方法を適用することができる。

次に、図 2 で示すように、密着層としての Ti 膜 5 b、拡散防止層としての Pt 膜 5 a および電極層としての Au 膜 6 を所定のパターンで形成するため、第 3 工程としてパターニング工程を行なう。このパターニング工程においては、フォトリソグラフィ法を用いて、 Ti 膜 5 b、 Pt 膜 5 a および Au 膜 6 が形成されるべき領域以外の領域について、基板表面にレジスト膜を形成する。

次に、第 4 工程として、密着層を蒸着する。具体的には、密着層としての Ti 膜 5 b となるべき Ti 膜を基板表面に蒸着する。このとき形成される Ti 膜の厚さはたとえば $0.1\text{ }\mu\text{m}$ とすることができる。

次に、第 5 工程として、密着層としての Ti 膜 5 b となるべき Ti 膜上に、拡散防止層としての Pt 膜 5 a となるべき Pt 膜を形成する。 Pt 膜の厚さとしては、たとえば $0.2\text{ }\mu\text{m}$ という値を用いることができる。

次に、第 6 工程として、電極層としての Au 膜 6 を蒸着法によって形成する。 Au 膜の厚さとしては、たとえば $0.6\text{ }\mu\text{m}$ とすることができる。

次いで、第 7 工程としてリフトオフ工程を実施する。この工程では、第 3 工程のパターニング工程において形成したレジスト膜を、レジスト剥離液によって、そのレジスト膜上に位置していた Ti 膜、 Pt 膜および Au 膜の一部分をレジスト膜とともに除去する。この結果、基板上に所定のパターンを有する Ti 膜 5 b、 Pt 膜 5 a および Au 膜 6 を形成することができる。

次に、第 8 工程としてはんだバリア層 7 を形成する。ここでは、メタルマスク法を用いて、 Au 膜 6 上に白金 (Pt) からなるはんだバリア層 7 を形成する。はんだバリア層 7 の厚さは $0.2\text{ }\mu\text{m}$ とする。

次に、第 9 工程として、真空蒸着法により、はんだバリア層 7 上にはんだ層 8 を形成する。

はんだ層 8 を形成する工程において、成膜前雰囲気であるチャンバ内の圧力

(到達真空度)を小さくすると、はんだの結晶粒径が小さくなる。到達真空度は 5.0×10^{-4} Pa以下とするのが好ましい。到達真空度が 5.0×10^{-4} Paを超えると、水分や酸素などの不純物ガスがはんだ層中に残存し易くなり、はんだ層8中に、粒径の大きい異物が混入するおそれがある。より好ましくは、到達真空度は 1.0×10^{-4} Pa以下である。

また、はんだの成膜速度(成膜レート)を変化させることにより、結晶粒径および表面粗さRaを変化させることができる。成膜速度は、 0.1 nm/秒以上 1.0 nm/秒以下であることが好ましい。さらに好ましくは、成膜速度は 0.3 nm/秒以上 0.7 nm/秒以下である。成膜速度が、 0.1 nm/秒未満であれば、核成長が促進され、結晶粒径が大きくなるとともに、表面粗さRaも大きくなる。成膜速度が 1.0 nm/秒を超えると、基板温度が上昇し、後述の理由により、結晶粒径が大きくなり易く、その結果、表面粗さRaも大きくなり易い。

また、基板4の表面温度を変化させることにより、結晶粒径および表面粗さRaを変化させることができる。その温度は、 20°C 以上 150°C 以下、さらには 20°C 以上 120°C 以下が好ましい。温度が 150°C を超えると、基板温度が上昇し、核成長が促進されることにより、結晶粒径が大きくなるとともに、表面粗さRaも大きくなる。

なお、所定のパターンを有するはんだ層8の形成方法としては、メタルマスク法あるいは本発明による半導体装置の製造方法の第3工程から第7工程に示したようなフォトリソグラフィ法を用いてもよい。

次に、第10工程として、上述のように第1工程で準備した基板の表面に所定の構造が形成された後、その基板を切断する切断工程を実施する。この結果、図1に示すサブマウント3を得ることができる。

次に、第11工程として、半導体発光素子としてのレーザーダイオード2の接合工程を実施する。具体的には、加熱によりはんだ層8を熔融させる。検出手段200が、はんだ層8が熔融したかどうかを画像認識する。具体的には、例えば、検出手段に入射する光の照度の階調を256段階に分け、基板4の最も暗い部分の階調を0とし、Au膜6の最も明るい部分の階調を255とする。はんだ

層 8 から入射光の階調が 50 を超えた時に、はんだ層 8 の色を「白」と認識し、はんだ層 8 が溶融していないと判断する。はんだ層 8 から入射光の階調が 50 以下の時に、はんだ層 8 の色を「黒」と認識し、はんだ層 8 が溶融したと判断する。このように画像認識の 2 値化手法により、はんだ層 8 の溶融の Yes, No を判定する。

溶融したと判断されたはんだ層 8 に、レーザーダイオード 2 を配置する。このようにして、GaAs を用いたチップであるレーザーダイオード 2 をはんだ層 8 によってサブマウント 3 に接合する。このようにして、図 1 の半導体装置 1 が完成する。

- 10 以上のような本発明のサブマウントでは、溶融前のはんだ層 8 の表面 8 f の表面粗さ Ra が $0.18\mu\text{m}$ と小さいので、はんだ層 8 の表面での光の乱反射を小さく抑えることができる。そのため、多くの反射光が検出手段 200 に入射する。その結果、ダイボンド工程において、検出手段 200 が溶融前のはんだ層 8 を「黒」、すなわち溶融状態と誤認する確率を小さく抑えることができるため、
- 15 はんだ層 8 が溶融したかどうかをより高い確率で Yes, No 判定することができる。その結果、レーザーダイオード 2 をはんだ層の溶融した状態でタイミングよくサブマウント 3 にはんだづけすることができる。

実施例

20 (サンプルの作製と評価)

以下の手法により、表 1 および 2 で示す試料 1 から 30 を製造した。試料 1 から 20 が実施例に対応し、試料 21 から 30 が比較例に対応する。

表 1

試料 NO.	区分	はんだ組成	到達真空度 ($\times 10^{-4}$ Pa)	成膜速度 (nm/秒)	基板4の温度 ($^{\circ}$ C)
1	実施例	Au:Sn=80:20	0.8	0.5	80
2		Au:Sn=80:20	1.5	0.5	80
3		Au:Sn=80:20	4.0	0.5	80
4		Au:Sn=80:20	0.8	0.2	80
5		Au:Sn=80:20	0.8	0.8	80
6		Au:Sn=80:20	0.8	0.5	50
7		Au:Sn=80:20	0.8	0.5	130
8		Au:Sn=80:20	0.8	0.5	80
9		Au:Sn=80:20	0.8	0.5	80
10		Au:Sn=80:20	0.8	0.5	80
11		Au:Sn=80:20	1.1	0.6	100
12		Au:Sn=80:20	3.0	0.8	130
13		Au:Sn=80:20	3.0	0.8	80
14		Au:Sn=80:20	3.0	0.5	130
15		Au:Sn=80:20	0.8	0.8	130
16		Au:Sn=10:90	0.8	0.5	80
17		Au:Sn=10:90	3.0	0.8	130
18		Au:Sn=10:90	3.0	0.5	80
19		Au:Sn=10:90	0.8	0.2	80
20		Au:Sn=10:90	0.8	0.5	130
21	比較例	Au:Sn=80:20	8.0	0.05	170
22		Au:Sn=80:20	6.0	0.5	80
23		Au:Sn=80:20	0.8	0.05	80
24		Au:Sn=80:20	0.8	1.2	80
25		Au:Sn=80:20	0.8	0.5	170
26		Au:Sn=80:20	0.8	0.5	80
27		Au:Sn=80:20	6.0	0.5	80
28		Au:Sn=10:90	6.0	0.5	80
29		Au:Sn=10:90	0.8	1.2	80
30		Au:Sn=10:90	0.8	0.5	170

表 2

試料 NO.	区 分	はんだバリア 層7の有無	主表面4fの 粗さRa (μ m)	表面8fの表 面粗さ Ra(μ m)	はんだ層8の 平均結晶粒径 (μ m)	画像認識 良品
1	実 施 例	○	0.04	0.08	1.3	20/20
2		○	0.04	0.12	2.3	19/20
3		○	0.04	0.15	3.0	18/20
4		○	0.04	0.14	2.8	18/20
5		○	0.04	0.13	2.7	19/20
6		○	0.04	0.08	1.2	20/20
7		○	0.04	0.15	3.0	17/20
8		○	0.06	0.11	1.4	19/20
9		○	0.08	0.12	1.3	19/20
10		×	0.04	0.08	1.3	20/20
11		×	0.04	0.13	2.6	18/20
12		×	0.08	0.18	3.4	16/20
13		○	0.04	0.16	3.2	17/20
14		○	0.04	0.17	3.3	16/20
15		○	0.04	0.16	3.2	16/20
16		○	0.04	0.09	1.4	20/20
17		○	0.08	0.17	3.3	17/20
18		○	0.04	0.14	2.7	19/20
19		○	0.04	0.14	2.8	19/20
20		○	0.04	0.15	3.1	18/20
21	比 較 例	○	0.12	0.32	6.2	0/20
22		○	0.04	0.20	3.8	10/20
23		○	0.04	0.25	4.9	4/20
24		○	0.04	0.22	4.2	7/20
25		○	0.04	0.23	4.5	5/20
26		○	0.12	0.20	1.4	11/20
27		×	0.04	0.21	4.2	8/20
28		○	0.04	0.21	4.1	8/20
29		○	0.04	0.23	4.4	6/20
30		○	0.04	0.23	4.5	5/20

「はんだバリア層7の有無」で、○は、はんだバリア層7があることを示し、×は、はんだバリア層7がないことを示す。

まず、基板として、縦×横×厚みが50mm×50mm×0.4mmの窒化アルミニウム焼結体を準備した。この窒化アルミニウム焼結体の表面を研磨して、主表面4fの粗さRaを表2で示す値とした。次に、フォトリソグラフィを用いたリフトオフ法と真空蒸着により、厚みが0.1μmのTi膜5bと厚みが0.2μmのPt膜5aと厚みが0.6μmのAu膜6からなるメタライズ層を形成した。次に、試料10から12および27以外の試料に、厚みが0.2μmの白金からなるはんだバリア層7をメタルマスク法と真空蒸着でメタライズ層上に形成した。

その後、すべての試料に対し、厚みが3μmのはんだ層8をメタルマスク法と真空蒸着で形成した。はんだ層8の組成および蒸着の条件は表1に示した通りである。表1中の「はんだ組成」は、はんだ層8を構成する元素の質量比を示す。さらに、基板4を切断することにより、縦×横×厚みが1.2mm×1.5mm×0.3mmのサブマウントを、それぞれの試料1から30について、20個ずつ作製した。そして、それぞれの試料について、レーザーダイオード2をはんだづけするときに、検出手段200を用いた画像認識が成功した割合を調べた。その結果も表2に示されている。

表2中、「画像認識良品」とは、はんだ層8が溶融したと検出手段200が判断した場合に、実際にはんだ層8が溶融していた試料の数量割合をいう。この割合が1に近いほど、検出手段200が繰り返し実態に即しはんだ層8の溶融を検出できた確率が高いことを意味する。表2に示した結果より、本発明による半導体装置1（図1参照）を構成するサブマウント3においては、この確率を高めるためには、はんだ層8の表面8fの表面粗さRaは0.18μm以下であり、好ましくは、表面8fの表面粗さRaは0.15μm以下であり、さらに好ましくは、表面8fの表面粗さRaは0.10μm以下であることがわかる。さらに、同じ理由ではんだ層8を構成するはんだの平均粒径は、好ましくは3.5μm以下、さらに好ましくは2.0μm以下であること、さらに、基板4の主表面4fの表面粗さRaは、好ましくは0.10μm以下、さらに好ましくは0.05μm以下であることもわかる。

(階調の具体的データ)

本発明の実施例である試料 1 について、検出手段 200 がサブマウント基板としての基板 4、溶融前のはんだ層 8 および Au 膜 6 で反射した光の強度（照度）を測定した。その結果の一部を図 3 に示す。

- 5 図 3 の縦軸は、反射光の照度を 256 階調で示す。横軸は、サブマウント上での位置を示し、たとえば「4」、「8」および「6」は、それぞれ、図 1 および 2 の基板 4、はんだ層 8 および Au 膜 6 での反射光の強度を示す。

図 3 より、本発明では、はんだ層 8 での反射光の強度が大きいため、検出手段 200 は、はんだ層 8 を溶融前の状態と認識しやすい。

- 10 また、比較例である試料 21 について、検出手段 200 が基板 104、溶融前のはんだ 108 および Au 膜 106 で反射した光の強度（照度）を測定した。その結果の一部を図 4 に示す。

- 15 図 4 の縦軸は、反射光の照度を 256 階調で示す。横軸は、サブマウント上での位置を示し、たとえば「104」、「108」および「106」は、それぞれ、図 5 および 6 の基板 104、はんだ層 108 および Au 膜 106 での反射光の強度を示す。

図 4 より、比較例の試料 21 では、はんだ層 108 での反射光の強度が小さいため、検出手段 200 は、はんだ層 8 を溶融前の状態と正常に認識することが困難である。

- 20 今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態および実施例ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

25 産業上の利用可能性

このように、本発明によれば、検出手段を用いてはんだ層の溶融を認識することにより、半導体発光素子を確実に搭載することができる半導体装置を得ることができる。

請求の範囲

1 サブマウント基板と、前記サブマウント基板の主表面上に形成されたはんだ層とを備え、熔融前の前記はんだ層の表面粗さ R_a は $0.18 \mu m$ 以下である、サブマウント。

2 前記はんだ層の表面粗さ R_a が $0.15 \mu m$ 以下である、請求項 1 に記載のサブマウント。

3 前記はんだ層の表面粗さ R_a が $0.10 \mu m$ 以下である、請求項 1 に記載のサブマウント。

4 前記はんだ層に含まれるはんだの平均粒径が $3.5 \mu m$ 以下である、請求項 1 から 3 のいずれか 1 項に記載のサブマウント。

5 前記サブマウント基板の主表面の表面粗さ R_a は $0.10 \mu m$ 以下である、請求項 1 から 4 のいずれか 1 項に記載のサブマウント。

6 前記サブマウント基板と前記はんだ層との間に形成されたはんだバリア層をさらに備えた、請求項 1 から 5 のいずれか 1 項に記載のサブマウント。

7 前記サブマウント基板と前記はんだバリア層との間に形成された電極層をさらに備えた、請求項 6 に記載のサブマウント。

8 前記サブマウント基板と前記はんだバリア層との間において、前記サブマウント基板の主表面に接触するように形成された密着層と、前記密着層上に形成された拡散防止層とをさらに備え、前記電極層は前記拡散防止層上に配置されている、請求項 7 に記載のサブマウント。

9 前記密着層はチタンを含み、前記拡散防止層は白金を含み、前記電極層は金を含み、前記はんだバリア層は白金を含み、前記はんだ層は金錫系はんだを含む、請求項 8 に記載のサブマウント。

10 前記サブマウント基板は窒化アルミニウム焼結体を含む、請求項 1 から 9 のいずれか 1 項に記載のサブマウント。

11 請求項 1 から 10 のいずれか 1 項に記載のサブマウントを用いた半導体装置であって、前記はんだ層上に搭載された半導体発光素子を備える、半導体装置。

FIG. 3

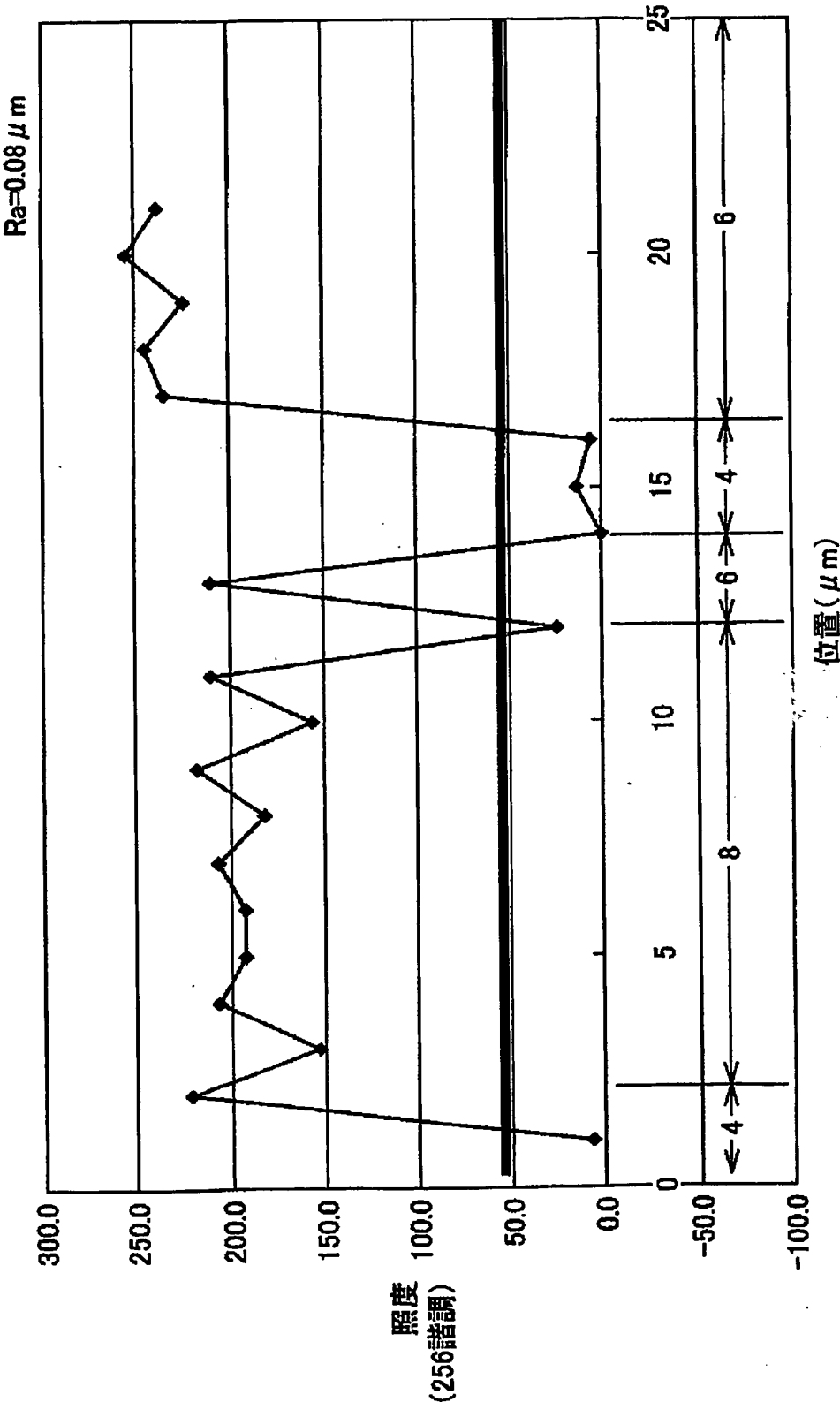


FIG. 4

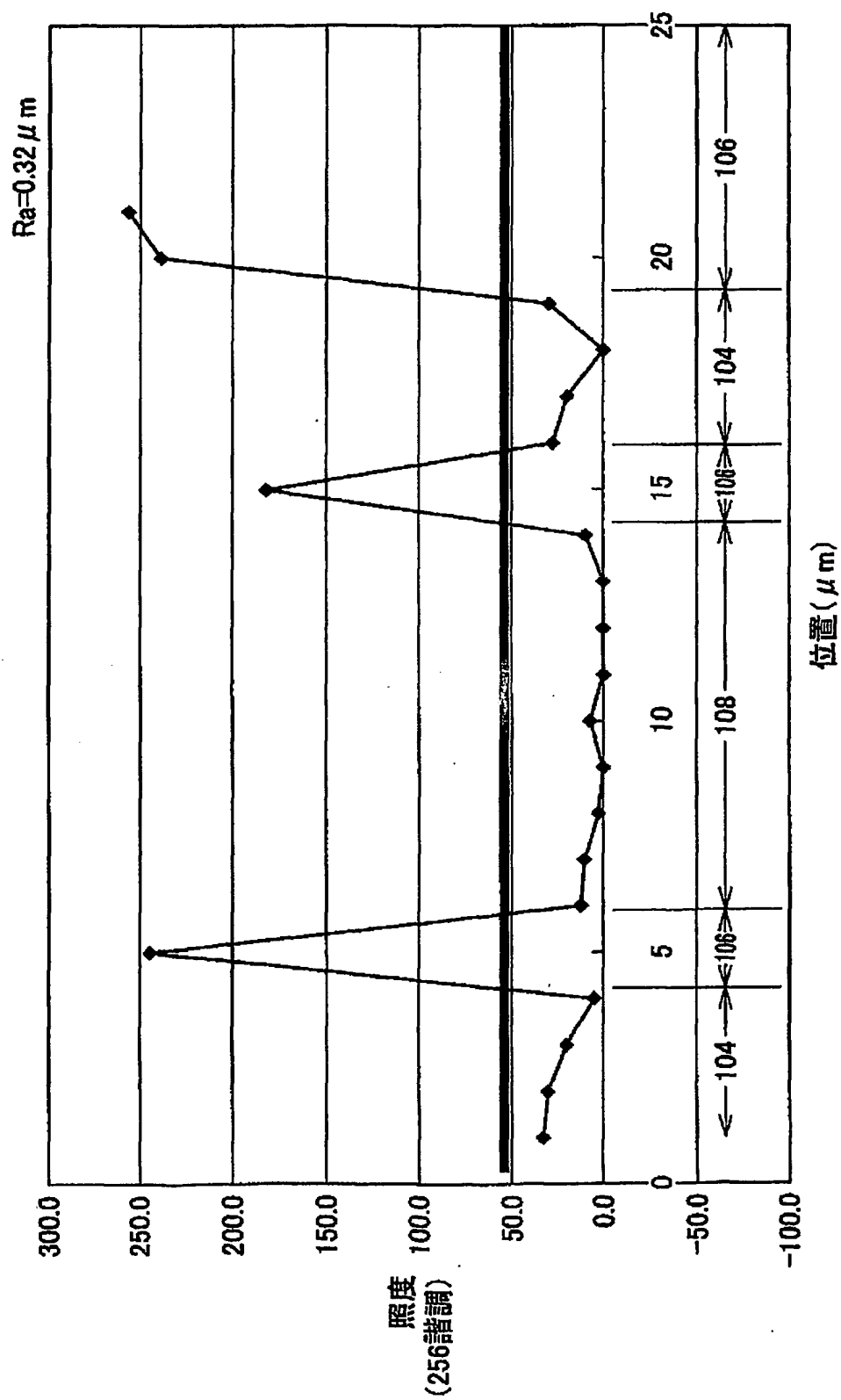


FIG. 5

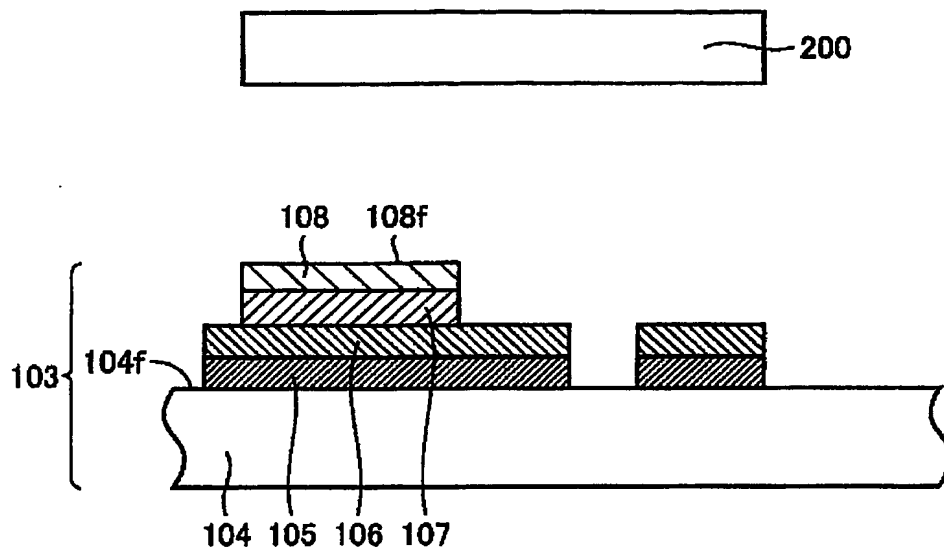
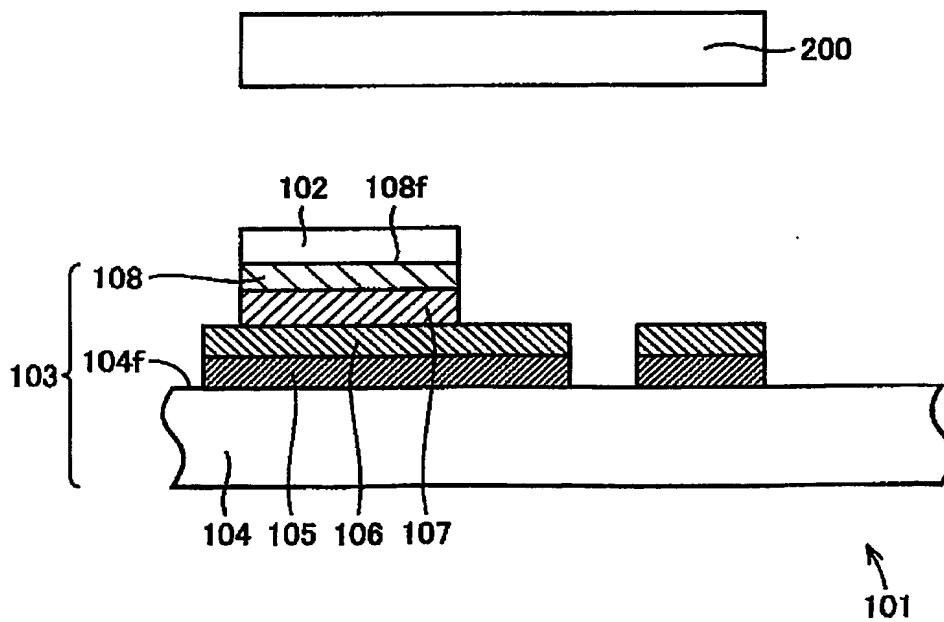


FIG. 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02451

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/60, H01L33/00, H01S5/022

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/60, H01L33/00, H01S5/022

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-308438 A (Toshiba Corp.), 02 November, 2001 (02.11.01), Full text (Family: none)	1-11
	JP 5-48213 A (Tanaka Kikinzoku Kogyo Kabushiki Kaisha), 26 February, 1993 (26.02.93), Full text (Family: none)	1-11
A	JP 6-285622 A (Mitsubishi Materials Corp.), 11 October, 1994 (11.10.94), Full text (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 June, 2003 (06.06.03)

Date of mailing of the international search report
24 June, 2003 (24.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02451

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-121836 A (Sony Corp.), 28 April, 2000 (28.04.00), Par. Nos. [0114] to [0115] (Family: none)	1-11
P,A	JP 2002-359427 A (Sumitomo Electric Industries, Ltd.), 13 December, 2002 (13.12.02), Full text (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/60 H01L33/00 H01S5/022

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/60 H01L33/00 H01S5/022

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年,
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-308438 A (株式会社東芝) 2001. 11. 02, 全文, (ファミリーなし)	1-11
A	JP 5-48213 A (田中貴金属工業株式会社) 1993. 02. 26, 全文, (ファミリーなし)	1-11
A	JP 6-285622 A (三菱マテリアル株式会社) 1994. 10. 11, 全文, (ファミリーなし)	1-11
A	JP 2000-121836 A (ソニー株式会社) 2000. 04. 28, 段落【0114】 - 【0115】, (ファミリーなし)	1-11
PA	JP 2002-359427 A (住友電気工業株式会社) 2002. 12. 13, 全文, (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06.06.03

国際調査報告の発送日

24.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 池淵 立



4R

8831

電話番号 03-3581-1101 内線 3469